

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-297968

(43)公開日 平成8年(1996)11月12日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/401			G 1 1 C 11/34	3 7 1 Z
G 0 6 F 12/08	3 1 0	7623-5B	G 0 6 F 12/08	3 1 0 Z

審査請求 有 発明の数 2 O L (全 9 頁)

(21)出願番号 特願平8-122019
 (62)分割の表示 特願昭62-241054の分割
 (22)出願日 昭和62年(1987)9月26日

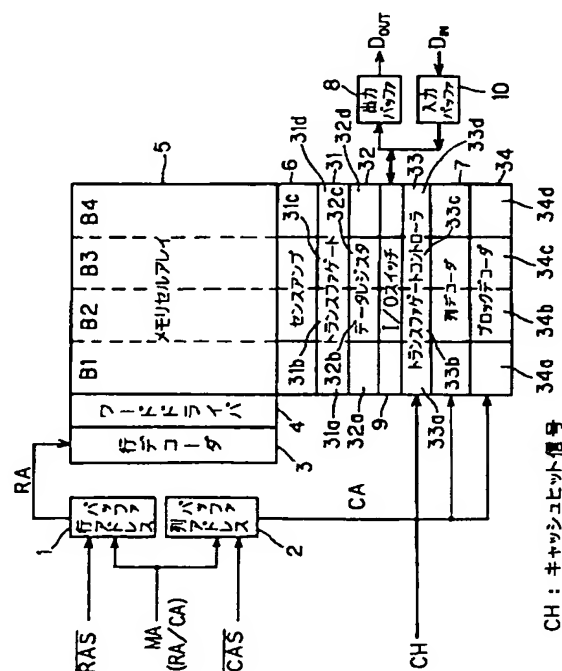
(71)出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (72)発明者 堂阪 勝己
 伊丹市瑞原4丁目1番地 三菱電機株式会
 社エル・エス・アイ研究所内
 (72)発明者 熊野谷 正樹
 伊丹市瑞原4丁目1番地 三菱電機株式会
 社エル・エス・アイ研究所内
 (74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 キャッシュヒット率を向上させた簡易キャッシュシステムを有する半導体記憶装置を得る。

【解決手段】 メモリセルアレイ5をブロックB1～B4と4分割して使用するため、センスアンプ6、I/Oスイッチ9間にブロックB1～B4に対応してトランスファゲート31(31a～31d)、データレジスタ32(32a～32d)を挿入している。トランスファゲート31は、各々トランスファゲートコントローラ33(33a～33d)により独立して制御されるため、その導通・非導通により、メモリセルアレイ5のデータをブロック(B1～B4)単位で、センスアンプ6を介して対応のデータレジスタ32a～32dへ転送が可能となる。



1

【特許請求の範囲】

【請求項 1】 複数行及び複数列に配列され、各々が情報を記憶する複数のメモリセルを有し、前記複数のメモリセルが複数列単位の複数のブロックに分割されたメインメモリと、

複数の記憶素子を有し、前記メインメモリからブロック単位で読み出された情報を記憶するキャッシュメモリと、

前記メインメモリと前記キャッシュメモリとの間に接続され、前記キャッシュメモリ及び前記メインメモリのうちいずれか一方へのアクセスを指示するキャッシュ制御信号に従い、前記メインメモリから読み出された情報の前記キャッシュメモリへの転送の実行／非実行を制御する転送制御手段とを備える、半導体記憶装置。

【請求項 2】 前記転送制御手段は、前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受ける選択手段によって前記メインメモリから読み出された情報を前記キャッシュメモリに転送するか否かを制御される、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記転送制御手段は、前記メインメモリの各ブロックにそれぞれが対応した複数の転送部を有し、各転送部は複数のトランスファゲートを有し、前記キャッシュヒット信号に従い、前記メインメモリからブロック単位で読み出された情報を前記キャッシュメモリに転送する時に、前記情報が読み出されるメインメモリのブロックに対応した転送部の複数のトランスファゲートが導通状態とされ、残りの転送部の複数のトランスファゲートが非導通状態とされる、請求項 2 記載の半導体記憶装置。

【請求項 4】 前記転送制御手段の各転送部の前記複数のトランスファゲートは、前記転送部に対応して設けられ前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受けるブロック選択手段によって、導通状態及び非導通状態が制御される請求項 3 記載の半導体記憶装置。

【請求項 5】 前記キャッシュメモリの各ブロックにおける複数の記憶素子は、前記メインメモリの各ブロックにおける複数列と同数の複数列に設けられている請求項 3 または請求項 4 記載の半導体記憶装置。

【請求項 6】 複数行及び複数列に配列され、各々が情報を記憶する複数のメモリセルを有し、前記複数のメモリセルが複数列単位の複数のブロックに分割されたメインメモリを備え、前記メインメモリの各ブロックにおける列数は、出力データのビット数よりも多く設定され、複数の記憶素子を有し、前記メインメモリからブロック単位で読み出された情報を記憶するキャッシュメモリと、

前記メインメモリと前記キャッシュメモリとの間に接続

2

され、前記キャッシュメモリ及び前記メインメモリのうちいずれか一方へのアクセスを指示するキャッシュ制御信号に従い、前記メインメモリから読み出された情報の前記キャッシュメモリへの転送の実行／非実行を制御する転送制御手段とをさらに備える、半導体記憶装置。

【請求項 7】 前記転送制御手段は、前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受ける選択手段によって前記メインメモリから読み出された情報を前記キャッシュメモリに転送するか否かを制御される、請求項 6 記載の半導体記憶装置。

【請求項 8】 前記転送制御手段は、前記メインメモリの各ブロックにそれぞれが対応した複数の転送部を有し、各転送部は複数のトランスファゲートを有し、前記キャッシュヒット信号に従い、前記メインメモリからブロック単位で読み出された情報を前記キャッシュメモリに転送する時に、前記情報が読み出されるメインメモリのブロックに対応した転送部の複数のトランスファゲートが導通状態とされ、残りの転送部の複数のトランスファゲートが非導通状態とされる、請求項 7 記載の半導体記憶装置。

【請求項 9】 前記転送制御手段の各転送部の前記複数のトランスファゲートは、前記転送部に対応して設けられ前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受けるブロック選択手段によって、導通状態及び非導通状態が制御される請求項 8 記載の半導体記憶装置。

【請求項 10】 前記キャッシュメモリの各ブロックにおける複数の記憶素子は、前記メインメモリの各ブロックにおける複数列と同数の複数列に設けられている請求項 8 または請求項 9 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はキャッシュメモリを内部に有する半導体記憶装置に関する。

【0002】

【従来の技術】従来、コンピュータシステムのコストパフォーマンスを向上させるため、低速だが低コストで大容量なダイナミック RAM (DRAM) をメインメモリに使用し、このメインメモリと CPU 間に高速なバッファとして、小容量の高速メモリを設けることが、よく行われていた。上記した高速バッファはキャッシュメモリと呼ばれ、CPU が必要としそうなデータのブロックをメインメモリからコピーし、保持している。CPU がアクセスするアドレスのデータがキャッシュメモリ内に存在する時 (キャッシュヒット)、CPU は必要とするデータをキャッシュメモリより取り込む。一方、CPU がアクセスするアドレスのデータがキャッシュメモリ内に存在しない時 (キャッシュミス)、CPU は低速なメイ

3

ンメモリ (DRAM) より、必要とするデータを取込む。

【0003】上記したキャッシュメモリをメモリシステムに組み込むには、高価な高速メモリを必要とするのでコストを重視する小型のコンピュータシステムでは使用することができなかった。そこで、DRAMの有しているページモード、スタティックコラムモード等の高速アクセス機能を利用し、簡易なキャッシュシステムを構成していた。

【0004】以下、図4の波形図を参照して、ページモード、スタティックコラムモードの説明を行う。同図において(a)は通常のDRAMのサイクル、(b)はページモードサイクル、(c)はスタティックコラムモードサイクルである。

【0005】同図(a)に示すように、通常サイクルでは、信号バーRAS (Row Address Strobe)の降下エッジでマルチプレクスアドレス信号MAより行アドレス (Row Address) RAをDRAM内に取込み、信号バーCAS (Column Address Strobe)の降下エッジでマルチプレクスアドレス信号MAより列アドレス (Column Address) CAをDRAM内に取り込む。そして、行アドレスRA、列アドレスCAにより選択されたメモリセルのデータをデータ出力D_{out}として得る。通常サイクルは上記したサイクルでデータを読み出すため、アクセス時間としては信号バーRASの降下エッジ時からデータ出力D_{out}が有効になるまでの時間t_{RAC} (バーRASアクセスタイム)を要する。このアクセス時間t_{RAC}は、通常100ns程度である。なお、t_{RP}は信号バーRASのプリチャージ時間、t_cはサイクル時間であり、通常t_c=200ns程度である。

【0006】同図(b)に示すように、ページモードサイクルでは同一行アドレスRA上で複数の列アドレスCAでデータの読出しが行える。従って、アクセス時間は信号バーCASの降下エッジ時からデータ出力D_{out}が有効になるまでの時間t_{CAC} (バーCASアクセスタイム)となり、通常サイクルでのアクセス時間t_{RAC}の半分程度の時間となり、通常50ns程度である。なお、t_{cp}は信号バーCASのプリチャージ時間、t_{pc}はサイクル時間である。

【0007】同図(c)に示すように、スタティックコラムモードではページモードの信号バーCASを不要にし、列アドレスCAをあたかもスタティックRAMのように動作させている。従ってアクセス時間はマルチプレクスアドレス変化時からデータ出力D_{out}が有効になるまでの時間t_{AA} (アドレスアクセスタイム)となり、t_{CAC}同様通常サイクルでのアクセス時間t_{RAC}の半分程度となり、通常50ns程度である。

【0008】図5は、ページモードあるいはスタティックコラムモードが可能な従来のDRAM素子の基本構成を示す構成ブロック図である。

4

【0009】同図に示すように、行アドレスバッファ1、列アドレスバッファ2がマルチプレクスアドレス信号MAより各々行アドレスRA、列アドレスCAを取込んでいる。そして信号バーRASの降下エッジが行アドレスバッファ1に入力されると、行アドレスRAが行デコーダ3へ送られ、次段のワードドライバ4を駆動することで、行アドレスRAにより選択されたメモリセルアレイ5内の1本のワード線 (図示せず)を活性化する。

【0010】そして、活性化されたワード線に接続された全メモリセルのデータが、メモリセルアレイ5内の全ビット線 (図示せず)を介してセンスアンプ6へ送られる。センスアンプ6は得られたデータを検知し、増幅する。したがって、この時点で指定された行アドレスRA一行分のデータがセンスアンプ6にラッチされている。以降、行アドレスRAが同一のデータをアクセスする場合は、前述したページモード、スタティックコラムモードが利用できる。

【0011】つまり、ページモードでは、信号バーCASの降下エッジが列アドレスバッファ2に入力されると、列アドレスCAが列デコーダ7に送られ、センスアンプ6に格納されているデータ群のいずれかを有効にすることで、出力バッファ8を介してデータ出力D_{out}を得る。スタティックコラムモードの場合も起動をマルチプレクスアドレスMAの変化による点を除き同様の動作を行う。なお、9はデータの入出力を制御するI/Oスイッチ、10は入力バッファ、D_{in}はデータ入力である。

【0012】図6はページモード (あるいはスタティックコラムモード)を利用した簡易キャッシュシステムを有する従来のメモリシステムのブロック構成図である。同図に示すように、このメモリシステムは8個の1M×1構成のDRAM素子11~18を8使用し構成した1Mバイトのメモリシステムである。従ってアドレス線は20本 (2²⁰=1048576=1M)必要とするが、実際上はアドレスマルチプレクサ21より行アドレスRA (10ビット)、列アドレスCA (10ビット)に分けたマルチプレクスアドレス信号MAが送られる10本のアドレス線が各々のDRAM素子11~18に接続されている。

【0013】図7は、図6で示したメモリシステムのキャッシュ動作を示した波形図である。以下、図7および図5を参照しつつ図6のメモリシステムの動作を説明する。なお、ラッチ22には、既に直前にアクセスされた行アドレスRA1がラッチされており、センスアンプ6内には行アドレスRA1の全データが既にラッチされているとする。

【0014】このような状態で、図示しないCPUが必要とするデータの20ビットのアドレス信号A_dをアドレスジェネレータ23より発生する。このアドレス信号A_dから行アドレスRA2がコンバータ24に入力さ

5

れ、コンパレータ 24 はこの行アドレス RA2 とラッチ 22 に格納されている行アドレス RA1 との比較を行い、RA1=RA2 であれば、センスアンプ 6 に保持しているデータ群にアクセスされた（キャッシュヒット）ことになり、コンパレータ 24 は活性化した（“H”レベル）キャッシュヒット信号 CH (Cache Hit) をステートマシン 25 に送る。活性化した信号 CH を受けたステートマシン 25 は信号バー RAS を “L” レベルに保ったまま、信号バー CAS をトグルする（立下げる）ページモード制御を行い、アドレスマルチプレクサ 21 は D

RAM 素子 11~18 にマルチプレクスアドレス MA として、列アドレス CA を供給し、各 DRAM 素子 11~18 のセンスアンプ 6 に格納されたデータ群より、列デコーダ 7 により選択されたデータを取り出す。このようにキャッシュヒットした場合、DRAM 素子 11~18 から高速なアクセス時間 t_{CAC} で、出力データ D_{out} が得られる。

【0015】一方、コンパレータ 24 において、RA1 ≠ RA2 が判定されると、センスアンプ 6 に保持しているデータ群以外にアクセスされた（キャッシュミス）ことになり、コンパレータ 24 はステートマシン 25 に非活性（“L”レベル）の信号 CH を発生する。この時、ステートマシン 25 は信号バー RAS、バー CAS の順にトグルする通常サイクルの DRAM 素子 11~18 の制御を行い、アドレスマルチプレクサ 21 は行アドレス RA2、列アドレス CA の順にマルチプレクスアドレス MA を DRAM 素子 11~18 に供給する。このようにキャッシュミスした場合、信号バー RAS を図 7 に示すようにプリチャージし、さらに DRAM 素子 11~18 から低速なアクセス時間 t_{RAC} で出力データ D_{out} が得られることになる。このため、ステートマシン 25 はウェイト信号 Wait を発生し、CPU に待機をかける。また、ラッチ 22 はコンパレータ 24 より非活性のキャッシュヒット信号 CH を受けると新しい行アドレス RA2 を保持する。

【0016】

【発明が解決しようとする課題】従来の簡易キャッシュシステムは以上のようにセンスアンプ 6 によりラッチする形式で構成されているので、エントリー数は 1 である。従って、同じ行アドレス RA に連続してアクセスする場合のみにキャッシュヒットとなるため、例えば連続する 2 つの行アドレスにまたがったプログラムルーチンが繰り返し実行される場合などには、必ずキャッシュミスが生じてしまうことになり、キャッシュヒット率が低いという問題点があった。

【0017】この発明は、上記した問題点を解決するためになされたもので、キャッシュヒット率を向上させた簡易キャッシュシステムを有する半導体記憶装置を得ることを目的とする。

【0018】

6

【課題を解決するための手段】この発明に係る請求項 1 記載の半導体記憶装置は、複数行及び複数列に配列され、各々が情報を記憶する複数のメモリセルを有し、前記複数のメモリセルが複数列単位の複数のブロックに分割されたメインメモリと、複数の記憶素子を有し、前記メインメモリからブロック単位で読み出された情報を記憶するキャッシュメモリと、前記メインメモリと前記キャッシュメモリとの間に接続され、前記キャッシュメモリ及び前記メインメモリのうちいずれか一方へのアクセスを指示するキャッシュ制御信号に従い、前記メインメモリから読み出された情報の前記キャッシュメモリへの転送の実行／非実行を制御する転送制御手段とを備えて構成される。

【0019】また、請求項 2 記載の半導体記憶装置のように、前記転送制御手段は、前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受ける選択手段によって前記メインメモリから読み出された情報を前記キャッシュメモリに転送するか否かを制御されてもよい。

【0020】また、請求項 3 記載の半導体記憶装置のように、前記転送制御手段は、前記メインメモリの各ブロックにそれぞれが対応した複数の転送部を有し、各転送部は複数のトランスファゲートを有し、前記キャッシュヒット信号に従い、前記メインメモリからブロック単位で読み出された情報を前記キャッシュメモリに転送する時に、前記情報が読み出されるメインメモリのブロックに対応した転送部の複数のトランスファゲートが導通状態とされ、残りの転送部の複数のトランスファゲートが非導通状態とされてもよい。

【0021】また、請求項 4 記載の半導体記憶装置のように、前記転送制御手段の各転送部の前記複数のトランスファゲートは、前記転送部に対応して設けられ前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受けるブロック選択手段によって、導通状態及び非導通状態が制御されてもよい。

【0022】また、請求項 5 記載の半導体記憶装置のように、前記キャッシュメモリの各ブロックにおける複数の記憶素子は、前記メインメモリの各ブロックにおける複数列と同数の複数列に設けられてもよい。

【0023】この発明に係る請求項 6 記載の半導体記憶装置は、複数行及び複数列に配列され、各々が情報を記憶する複数のメモリセルを有し、前記複数のメモリセルが複数列単位の複数のブロックに分割されたメインメモリを備え、前記メインメモリの各ブロックにおける列数は、出力データのビット数よりも多く設定され、複数の記憶素子を有し、前記メインメモリからブロック単位で読み出された情報を記憶するキャッシュメモリと、前記メインメモリと前記キャッシュメモリとの間に接続さ

7

れ、前記キャッシュメモリ及び前記メインメモリのうちいずれか一方へのアクセスを指示するキャッシュ制御信号に従い、前記メインメモリから読み出された情報の前記キャッシュメモリへの転送の実行／非実行を制御する転送制御手段とをさらに備えて構成してもよい。

【0024】また、請求項7記載の半導体記憶装置のように、前記転送制御手段は、前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受ける選択手段によって前記メインメモリから読み出された情報を前記キャッシュメモリに転送するか否かを制御されてもよい。

【0025】また、請求項8記載の半導体記憶装置のように、前記転送制御手段は、前記メインメモリの各ブロックにそれぞれが対応した複数の転送部を有し、各転送部は複数のトランスファゲートを有し、前記キャッシュヒット信号に従い、前記メインメモリからブロック単位で読み出された情報を前記キャッシュメモリに転送する時に、前記情報が読み出されるメインメモリのブロックに対応した転送部の複数のトランスファゲートが導通状態とされ、残りの転送部の複数のトランスファゲートが非導通状態とされてもよい。

【0026】また、請求項9記載の半導体記憶装置のように、前記転送制御手段の各転送部の前記複数のトランスファゲートは、前記転送部に対応して設けられ前記キャッシュ制御信号に基づいて活性状態及び非活性状態が制御されるとともに列アドレス信号の一部と行アドレス信号を受けるブロック選択手段によって、導通状態及び非導通状態が制御されてもよい。

【0027】また、請求項10記載の半導体記憶装置のように、前記キャッシュメモリの各ブロックにおける複数の記憶素子は、前記メインメモリの各ブロックにおける複数列と同数の複数列に設けられてもよい。

【0028】

【発明の実施の形態】図1はこの発明の一実施の形態であるキャッシュ機能を有するメモリシステムのDRAM素子の基本構成を示すブロック構成図である。同図において1～4、8～10及びバーRAS、バーCAS、MA、RA、CAは従来と同じであるので説明は省略し、以下従来と異なる点について述べる。

【0029】同図に示すようにメモリセルアレイ5をブロックB1～B4と4分割して使用するため、センスアンプ6、I/Oスイッチ9間にブロックB1～B4に対応して転送部であるトランスファゲート31(31a～31d)、キャッシュメモリであるデータレジスタ32(32a～32d)を挿入している。トランスファゲート31は、図2の詳細ブロック構成図に示すように、選択手段であるブロックデコーダ34により各々が制御されるため、その導通・非導通により、メモリセルアレイ5のデータをブロック(B1～B4)単位で、センスア

8

ンプ6を介して対応のデータレジスタ32a～32dへ転送が可能となる。

【0030】トランスファゲートコントローラ33(33a～33d)は、図2の詳細ブロック構成図に示したように、ブロックデコーダ34a～34dの出力信号とキャッシュヒット信号CHの反転信号を入力信号とし、これらの信号の論理積を出力信号とし、トランスファゲート31に送ることにより、トランスファゲート31を制御している。

【0031】また、ブロックデコーダ34は図2で示すように列アドレスCAの上位2ビットを入力信号とし、選択された1つのブロックB1～B4のみ活性化する信号(この場合“H”レベル)を列デコーダ7及びトランスファゲートコントローラ33に送ることにより、ブロックB1～B4のうちの1つのブロックを選択している。一方、選択されたブロックの列デコーダ7は列アドレスCAの下位8ビットと、ブロックデコーダ34の出力信号とを入力信号とし、各ブロックの列数に相当する256(2⁸)個のI/Oスイッチ9のうちいずれか1つを有効にして、I/Oバスを介して1ビットの出力データを出力させている。したがって、各ブロックB1～B4のビット数(列数=256)は、出力データのビット数(=1)よりも多く設定されている。

【0032】図3はこの発明の一実施の形態であるキャッシュ機能を有するメモリシステムを示したブロック構成図である。同図に示すように、従来と異なり、4つのラッチ22a～22dを設けている。また、これらのラッチ22a～22dの選択手段としてセレクト36が設けられており、セレクト36はアドレス信号Adより行アドレスRAの全ビットと列アドレスCAの上位2ビットを入力信号とし、列アドレスCAの上位2ビットに基づきコンパレータ24と比較すべきラッチ22a～22dのいずれかを選択し、コンパレータ24の出力であるキャッシュヒット信号CHが非活性であるキャッシュミス時には、行アドレスRAの値を選択されたラッチ22a～22dのいずれかに保持させる働きを有している。また、キャッシュヒット信号CHは図1、図2に示したようにトランスファゲートコントローラ33に与える必要があるため、DRAM素子11～18にも与えられるようにしている。

【0033】以下、従来例で用いた図7を参照しつつ、図1、図2で示したこの発明の一実施の形態であるメモリシステムの動作を説明する。なお、ラッチ22a～22dには、既に各ブロックB1～B4において直前にアクセスされた行アドレスRA1a～RA1dが各々ラッチされており、データレジスタ32a～32dにはその時のブロックB1～B4ごとの全データが既にラッチされているとする。

【0034】このような状態で、図示しないCPUが必要とする20ビットのアドレス信号Adをアドレスジェ

9

ネレータ 23 より発生する。このアドレス信号 Ad から行アドレス RA 2 がコンパレータ 24 に入力される。一方、アドレス信号 Ad の列アドレス CA 2 の上位 2 ビットがセレクト 36 に入力されると、セレクト 36 は選択されたブロック B 1 ~ B 4 に該当するラッチ 22 のみを有効にする。ここで、説明の都合上ブロック B 2、つまりラッチ 22 b が選択されたとすると、コンパレータ 24 は入力された行アドレス RA 2 とラッチ 22 b に格納されている行アドレス RA 1 b との比較を行い、RA 1 b = RA 2 であれば、キャッシュヒットとみなし、活性化した（“H” レベルの）キャッシュヒット信号 CH を各 DRAM 素子 11 ~ 18 及びステートマシン 25 に送る。

【0035】この時、各 DRAM 素子 11 ~ 18 中の列アドレス CA の上位 2 ビットを入力信号としたブロックデコーダ 34 によりブロック B 2 が選択される。また、ブロックデコーダ 34 b の出力信号が“H”レベル、キャッシュヒット信号 CH の反転信号は“L”レベルであるため、その論理積であるトランスファゲートコントローラ 33 b の出力信号は“L”レベルとなり、トランスファゲート 31 b は導通せず、データレジスタ 32 b とセンスアンプ 6 間は電氣的に遮断されている。

【0036】一方、“H”レベルのキャッシュヒット信号 CH を受けたステートマシン 25 は信号バー RAS を“L”レベルに保ったまま、信号バー CAS をトグルするページモードと同様な制御を行ない、アドレスマルチプレクサ 21 は DRAM 素子 11 ~ 18 にマルチプレクサアドレス MA として列アドレス CA を供給し、各 DRAM 素子 11 ~ 18 のデータレジスタ 32 b に格納されたデータ群より列デコーダ 7 により選択されたデータを I/O スイッチ 9 を介して取り出す。このようにしてキャッシュヒットした場合、DRAM 素子 11 ~ 18 から高速なアクセス時間 t_{CAC} で出力データ D_{out} が得られる。

【0037】また、コンパレータ 24 において RA 1 b ≠ RA 2 が判定されると、キャッシュミスとみなし、非活性（“L”レベル）のキャッシュヒット信号 CH を DRAM 素子 11 ~ 18、ステートマシン 25 及びセレクト 36 に送る。

【0038】この時、各 DRAM 素子 11 ~ 18 中の選択されたブロック B 2 におけるブロックデコーダ 34 b の出力信号が“H”レベル、キャッシュヒット信号 CH の反転信号が“H”レベルであるため、その論理積であるトランスファゲートコントローラ 33 b の出力信号は“H”レベルとなり、トランスファゲート 31 b は導通し、データレジスタ 32 b とセンスアンプ 6 間は電氣的に接続される。

【0039】一方、“L”レベルのキャッシュヒット信号 CH を受けたステートマシン 25 は、信号バー RAS、バー CAS を順次トグルさせる通常サイクルで DR

10

AM 素子 11 ~ 18 の制御を行い、アドレスマルチプレクサ 21 は行アドレス RA 2、列アドレス CA の順にマルチプレクスアドレス MA を DRAM 素子 11 ~ 18 に供給する。そして、メモリセルアレイ 5 よりセンスアンプ 6、トランスファゲート 31 b、データレジスタ 32 b、I/O スイッチ 9 及び出力バッファ 8 を介して、列デコーダ 7 により選択されたデータを出力データ D_{out} として読み出す。

【0040】加えて、各ブロック B 1 ~ B 4 のビット数（列数）は、出力データのビット数よりも多く設定されているため、ブロックの列数が必要以上に少なくなることはなく、高レベルなヒット率を維持することができる。

【0041】このようにキャッシュミス時には、信号バー RAS をプリチャージし、さらに DRAM 素子 11 ~ 18 から低速なアクセス時間 t_{RAC} で出力データ D_{out} が得られることになる。このため、ステートマシン 25 はウェイト信号 Wait を発生し、CPU に待機をかける。また、セレクト 36 により選択されたラッチ 22 b には、新しい行アドレス RA 2 が保持される（他のラッチ 22 a, 22 c, 22 d 内の値は変化しない。）。

【0042】このように、キャッシュヒット、キャッシュミス時における DRAM 素子 11 ~ 18 のメモリ管理をブロック B 1 ~ B 4 単位で行えるようにしたため、各ブロック B 1 ~ B 4 各々が独立して行アドレスに対するデータ群をデータレジスタ 32 に格納することができるので、エンタリー数は 4 である。その結果、連続する 2 つの行アドレスにまたがったプログラムルーチンが繰り返し実行される場合などにも対応することができ、キャッシュヒット率は向上する。

【0043】なお、この実施の形態ではメモリセルアレイ 5 を 4 ブロック B 1 ~ B 4 構成（エンタリー数 4）としたが、ブロックの分割数は適当に増減することは勿論可能である。

【0044】

【発明の効果】以上説明したように、この発明の請求項 1 ないし請求項 10 記載の半導体記憶装置によれば、キャッシュメモリはメインメモリからブロック単位で読み出された情報を記憶してブロック単位にエンタリーできるため、キャッシュヒット率を向上させることができる。

【0045】また、この発明の請求項 6 ないし請求項 10 記載の半導体記憶装置によれば、メインメモリの各ブロックにおける列数は出力データのビット数よりも多く設定されるため、各ブロックの列数が必要以上に少なくなることはなく、高レベルなヒット率を維持することができる。

【図面の簡単な説明】

【図 1】 この発明の一実施の形態であるキャッシュ機能を有するメモリシステムにおける DRAM 素子の構成

11

説明図である。

【図2】 図1のDRAM素子の詳細な構成説明図である。

【図3】 この発明の一実施の形態であるキャッシュ機能を有するメモリシステムのブロック構成図である。

【図4】 DRAMにおける高速アクセス機能を示した波形図である。

【図5】 従来のキャッシュ機能を有するメモリシステムにおけるDRAM素子の構成説明図である。

【図6】 従来のキャッシュ機能を有するメモリシステム *10

12

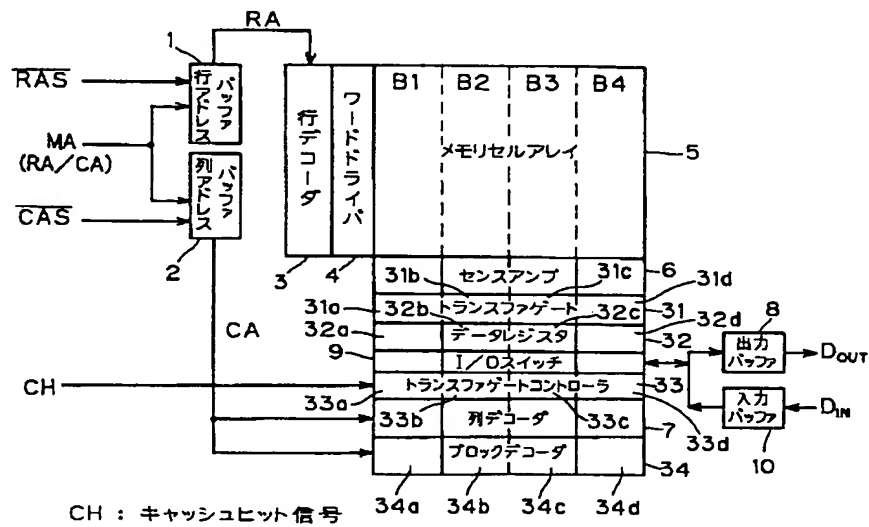
*ムのブロック構成図である。

【図7】 従来のキャッシュ動作を示す波形図である。

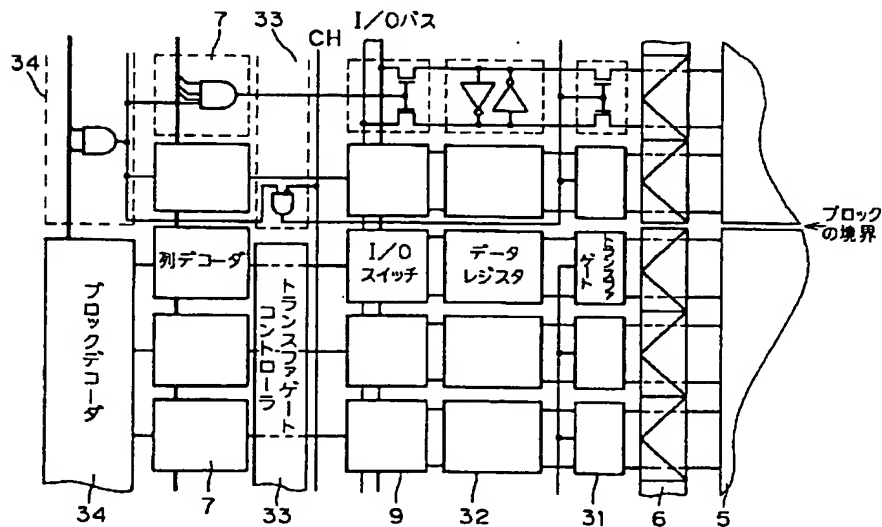
【符号の説明】

5 メモリセルアレイ、6 センスアンプ、22a~22d ラッチ、24コンパレータ、31a~31d トランスファゲート、32a~32d データレジスタ、33a~33d トランスファゲートコントローラ、34a~34dブロックデコーダ、36 セクタ、CH キャッシュヒット信号。

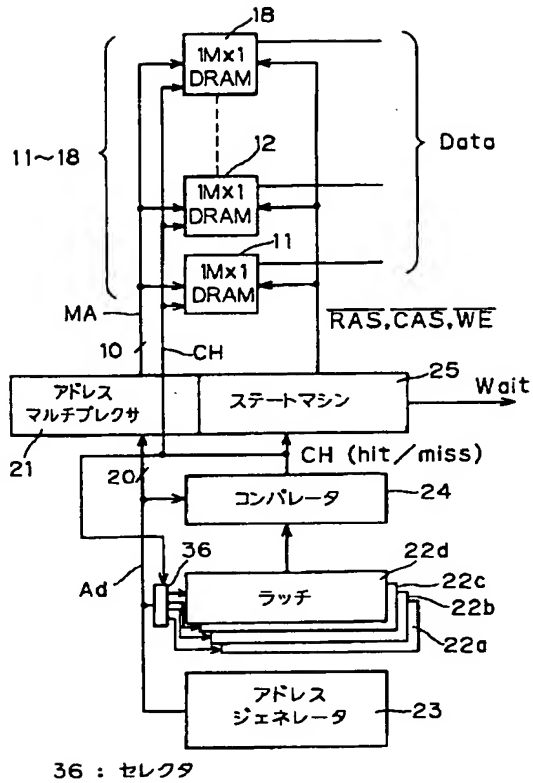
【図1】



【図2】

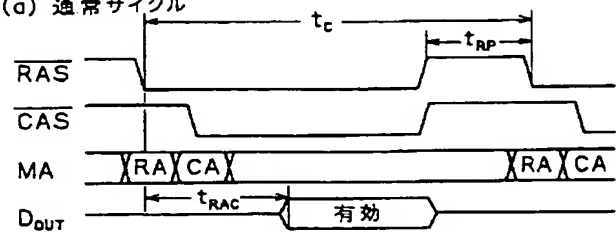


【図 3】

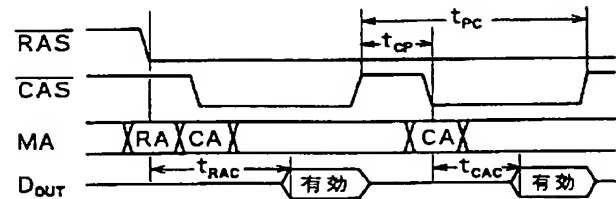


【図 4】

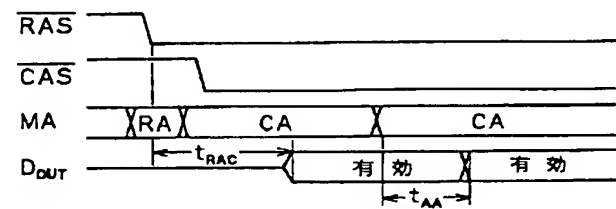
(a) 通常サイクル



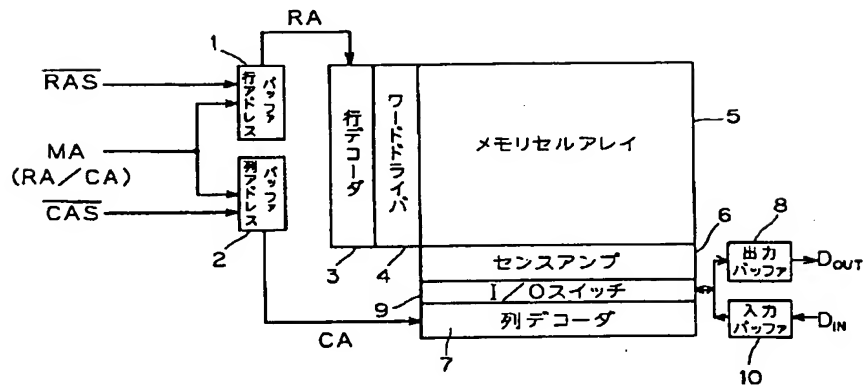
(b) ページモードサイクル



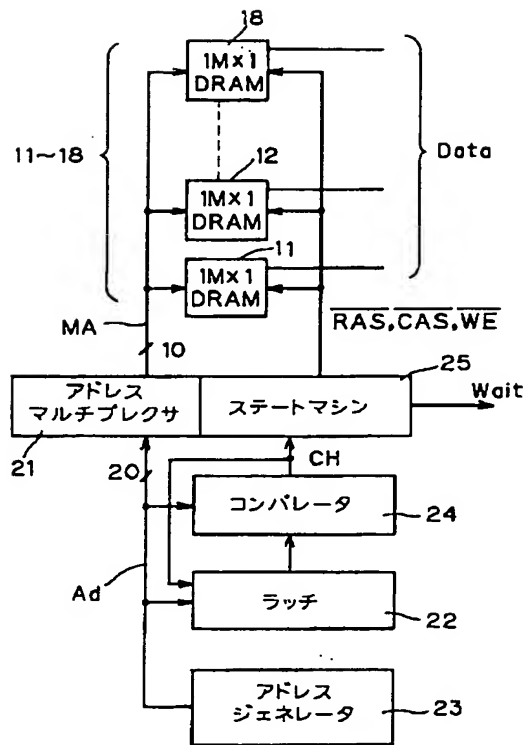
(c) スタティックコラムモードサイクル



【図 5】



【図 6】



【図 7】

